

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

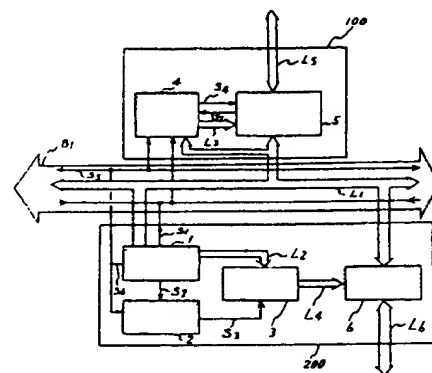
As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

(54) FIRMWARE LOAD SYSTEM

(11) 61-294547 (A) (43) 25.12.1986 (19) JP
 (21) Appl. No. 60-137373 (22) 24.6.1985
 (71) NEC CORP (72) MORIO TAKEISHI
 (51) Int. Cl. G06F9/24, G06F13/00

PURPOSE: To shorten the leading time of a device by monitoring the overall firmware load request state of the device and changing the address of a normal operation mode into a corresponding address in a loading mode to secure the correspondence between a single address and a single firmware.

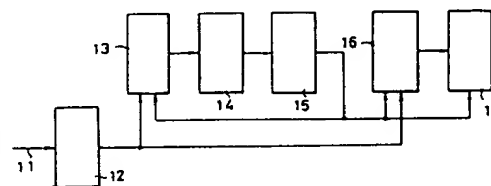
CONSTITUTION: The firmware given from a master firmware load executing part 100 and plural slave processor data are received by a transfer executing part 200. In this case, a load request state detecting part 4 and a load control part 5 are provided to the part 100. While the part 200 is provided with a load request control part 1, a load state detecting part 2, an answer address control part 3 and a data transfer control part 6 respectively. The part 1 sends the load request signal and the requested signal to the detecting parts 4 and 2. The part 2 sets a load address to the part 6. Furthermore the part 5 fetches the firmware corresponding to each firmware type code given from the part 4. Then the part 6 is set again to the address of a normal operation mode after transfer of data.

**(54) EXECUTING DEVICE FOR MACHINE INSTRUCTION**

(11) 61-294548 (A) (43) 25.12.1986 (19) JP
 (21) Appl. No. 60-135314 (22) 21.6.1985
 (71) TOSHIBA CORP (72) AKITO ABE(2)
 (51) Int. Cl. G06F9/30, G06F9/34

PURPOSE: To simplify the constitution of an executing device for machine instruction by forming an instruction with a general instruction and an indication instruction to decode and execute the indication instruction first and to hold it and then decoding and executing the general instruction as well as the holding result of the instruction.

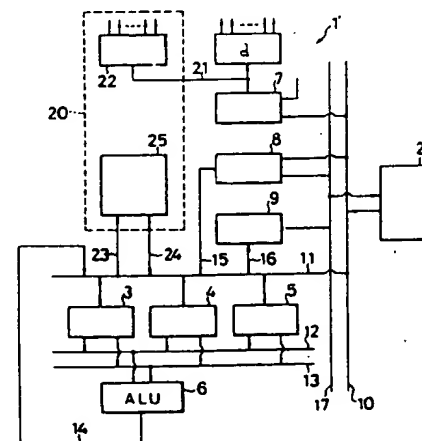
CONSTITUTION: The instruction is formed with the general instruction and the indication instruction which indicates the source side or the destination side of the data to be obtained based on the general instruction. This produced instruction is latched by an instruction latch register 12 and then decoded by a decoder 13. This latch result is executed by an indication instruction executing device 14 and latched by a latch circuit 15. Then the general instruction is decoded by a general instruction decoding device 16 with reference to the contents of the circuit 15 and then executed by a general instruction executing device 17 also with reference to the latch contents of the circuit 15. Thus the circuit constitutions of both devices 16 and 17 can be simplified.

**(54) CENTRAL PROCESSING UNIT**

(11) 61-294549 (A) (43) 25.12.1986 (19) JP
 (21) Appl. No. 60-137311 (22) 24.6.1985
 (71) TOSHIBA CORP (72) MASAYUKI SATO
 (51) Int. Cl. G06F9/32

PURPOSE: To increase the processing speed of a central processing unit by performing the execution processing based on the processing instruction of a multiplex branch conditional sentence and by using a branching destination address converting circuit to which the conversion rule is written before the execution of a program.

CONSTITUTION: A control signal generating circuit 22 and a multiplex branch conditional sentence processing circuit 20 consisting of a branching destination address converting circuit 25 are added to a microprocessor MPU part 1'. Then the circuit 22 detects the processing instruction of a multiple branch conditional sentence out of the instruction codes stored in an instruction register 7. Thus a branching destination address corresponding to the variable value given from a main memory 2 can be delivered from the circuit 25. The conversion rule prescribing the relation between the variable value of the multiplex branch conditional sentence and the branching destination address is written to the circuit 25 before the execution of a program. Then the branching destination address data is transferred to a program counter 8 directly or indirectly. Thus the instruction of the counter 8 is executed.



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61294548 A**

(43) Date of publication of application: **25.12.86**

(51) Int. Cl.

G06F 9/30
G06F 9/34

(21) Application number: **60135314**

(22) Date of filing: **21.06.85**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **ABE AKITO**
HIRAHARA JIRO
MIYAWAKI TSUKASA

(54) **EXECUTING DEVICE FOR MACHINE INSTRUCTION**

be simplified.

COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To simplify the constitution of an executing device for machine instruction by forming an instruction with a general instruction and an indication instruction to decode and execute the indication instruction first and to hold it and then decoding and executing the general instruction as well as the holding result of the instruction.

CONSTITUTION: The instruction is formed with the general instruction and the indication instruction which indicates the source side or the destination side of the data to be obtained based on the general instruction. This produced instruction is latched by an instruction latch register 12 and then decoded by a decoder 13. This latch result is executed by an indication instruction executing device 14 and latched by a latch circuit 15. Then the general instruction is decoded by a general instruction decoding device 16 with reference to the contents of the circuit 15 and then executed by a general instruction executing device 17 also with reference to the latch contents of the circuit 15. Thus the circuit constitutions of both devices 16 and 17 can

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-294548

⑬ Int.Cl.⁴

G 06 F 9/30
9/34

識別記号

庁内整理番号

A-7361-5B
7361-5B

⑭ 公開 昭和61年(1986)12月25日

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 機械命令実行装置

⑯ 特 願 昭60-135314

⑰ 出 願 昭60(1985)6月21日

⑱ 発 明 者 阿 部 昭 人 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 発 明 者 平 原 治 郎 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑳ 発 明 者 宮 脇 司 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
㉑ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

機械命令実行装置

2. 特許請求の範囲

一つの命令が一般命令およびこの一般命令に基づいて操作されるデータのソース側もしくはディストネーション側を指示する指示命令からなり、上記指示命令を解釈する第1命令解釈手段と、この解釈結果に基づいて命令を実行する第1命令実行手段と、上記第1命令実行手段の結果を保持する記憶手段と、上記一般命令および上記記憶手段の保持結果を解釈する第2命令解釈手段と、この解釈結果に基づいて命令を実行する第2命令実行手段とを具備したことを特徴とする機械命令実行装置。

3. 発明の詳細な説明

【発明の技術分野】

この発明はコンピュータ等において命令を解釈し、実行する機械命令実行装置に係り、特にその構成を簡単にするような改良に関する。

【発明の技術的背景とその問題点】

コンピュータ等に内蔵されている機械命令実行装置では、メモリ等から機械命令を取り出してこれを解釈し、この解釈結果に基づいて内部回路を所定のタイミングで制御することにより所定の処理動作を行なうようにしている。

ところで、従来の機械命令実行装置では機械命令コードを一つずつ順次解釈し、それぞれの解釈結果に応じて内部動作を決定するようにしている。そしてもちろん、アドレッシング・モードが違ふとその部度、内部回路の動作も違っている。

例えば、同じロード命令でも

「LD A, (R1)」と「LD A, (nn)」とでは内部動作が異なっている。前者のロード命令はメモリレジスタR1の内容をアキュムレータAに転送する命令であり、このときの動作ステップは次のようになる。

① 「LD A, (R1)」という命令をフェッチする。

② アドレスバスにレジスタR1の内容を出力

し、メモリリードサイクルを実行する。

③ ステップ②で読み出されたデータをアキュムレータAに格納する。

後者のロード命令はメモリ番地nnで示される内容をアキュムレータAに転送する命令であり、このときの動作ステップは次のようになる。

① 「LD A, (nn)」という命令をフェッチする。

② nnが何であるかを知るためにプログラムカウンタを進めてリードサイクルを実行する。

③ ステップ②で読み出されたデータをアドレスバスに出力し、メモリリードサイクルを実行する。

④ ステップ③で読み出されたデータをアキュムレータAに格納する。

このように従来では、メモリからアキュムレータにデータを転送する同じ機械命令を実行する場合であっても、レジスタ間接アドレッシング・モードと絶対番地アドレッシング・モードとではステップ②以降の動作が異なる。従って、内部回路

解釈結果に基づいて第1命令実行手段で命令を実行し、上記第1命令処理手段の結果を記憶手段で保持し、上記一般命令および上記記憶手段の保持結果を第2命令解釈手段で解釈し、この解釈結果に基づいて第2命令実行手段で命令を実行するようにしている。

このような構成にすれば、一般命令に基づいて操作されるデータのソース側もしくはディストネーション側を指示するアドレッシング・モードが異なる指示命令は予め第1命令解釈手段および第1命令実行手段で解釈、実行し、この実行結果を使用して一般命令を実行することにより、一般命令により制御される動作は同じ命令であれば同じにすることができ、これにより機械命令実行装置の構成を簡単化することができる。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。

まず、この発明の装置の構成を説明する前にこの装置で使用される機械命令について説明する。

の動作も全く異なったものとなる。なお、ここでいう同じ命令とはアドレッシング・モード以外の部分が同じ働きをする命令を意味する。つまり、同じ命令とはアセンブラ・ニーモニックの命令名が同じ命令であると考えてよい。

従来の機械命令実行装置のように同じ機械命令を実行する場合に、動作の一部を除いたほとんどが異なるということは、機械命令実行装置そのものの構成が複雑化するという問題がある。

〔発明の目的〕

この発明は上記のような事情を考慮してなされたものであり、その目的は従来に比較して構成が簡単にできる機械命令実行装置を提供することにある。

〔発明の概要〕

上記目的を達成するためこの発明にあっては、一つの命令を一般命令およびこの一般命令に基づいて操作されるデータのソース側もしくはディストネーション側を指示する指示命令とで構成し、上記指示命令を第1命令解釈手段で解釈し、この

例えば、前記のようなレジスタ間接アドレッシング・モードと絶対番地アドレッシング・モードのロード命令「LD A, (R1)」と

「LD A, (nn)」は、アセンブル時にそれぞれ第1図および第2図に示すように一般命令と指示命令とに組合わされた形に直される。第1図に示すように、従来のロード命令

「LD A, (R1)」は、データが記憶されているソース側であるメモリ番地を示すレジスタR1を指示する指示命令「src (R1)」とこの指示命令で指示されたデータを操作する一般命令であるロード命令「LD A, src」とに組合わされた形に直される。また第2図に示すように、従来のロード命令「LD A, (nn)」は、データが記憶されているソース側であるメモリ番地nnを指示する指示命令「src (nn)」とこの指示命令で指示されたデータを操作する一般命令であるロード命令「LD A, src」とに組合わされた形に直される。

第3図は上記第1図および第2図のような命令

を解釈し、処理する、この発明に係る機械命令実行装置の構成を示すブロック図である。上記第1図および第2図のような命令はデータバス11を介してまず命令ラッチレジスタ12にラッチされる。この命令ラッチレジスタ12にラッチされた指示命令は指示命令解釈装置13に供給され、ここで解釈される。この指示命令解釈装置13の解釈結果は指示命令実行装置14に供給され、ここで指示命令が実行される。上記指示命令実行装置14における結果はラッチ回路15でラッチされるとともに次の指示命令解釈のために上記指示命令解釈装置13に供給される。

上記命令ラッチレジスタ12にラッチされた一般命令は一般命令解釈装置16に供給される。そしてこの一般命令解釈装置16における一般命令解釈の際に、上記ラッチ回路15のラッチ内容が参照される。この一般命令解釈装置16における解釈結果は一般命令実行装置17に供給される。そしてこの一般命令実行装置17における一般命令実行の際にも、上記ラッチ回路15のラッチ内容が参照される。

後者の第2図のロード命令はメモリ番地nnで示される内容をアキュムレータAに転送する命令であり、このときの動作ステップは次のようになる。

① 命令ラッチレジスタ12にラッチされている「src (nn)」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指示命令で指示されたメモリ番地nnが図示しないアドレスバスに出力されてメモリリードサイクルが実行され、このときの読み出しデータがラッチ回路15内にラッチされる。

② 命令ラッチレジスタ12にラッチされている「LD A, src」という一般命令を一般命令解釈装置16で解釈し、この解釈結果に応じて一般命令実行装置17で一般命令を実行する。これにより、上記ステップ①でラッチされたデータがアキュムレータAに格納される。

このように上記実施例装置では、メモリからアキュムレータにデータを転送する同じ機械命令を

次にこのような構成の装置で、前記第1図および第2図に示すような機械命令を実行する際の動作を説明する。

前者の第1図のロード命令は、メモリレジスタR1の内容をアキュムレータAに転送する命令であり、このときの動作ステップは次のようになる。

① 命令ラッチレジスタ12にラッチされている「src (R1)」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指示命令で指示されたメモリレジスタR1の内容が図示しないアドレスバスに出力されてメモリリードサイクルが実行され、このときの読み出しデータがラッチ回路15内にラッチされる。

② 命令ラッチレジスタ12にラッチされている「LD A, src」という一般命令を一般命令解釈装置16で解釈し、この解釈結果に応じて一般命令実行装置17で一般命令を実行する。これにより、上記ステップ①で読み出され、ラッチされたデータがアキュムレータAに格納される。

実行する場合に、それぞれのアドレッシング・モードがレジスタ間アドレッシング・モードと絶対番地アドレッシング・モードと互いに異なっている、動作ステップ②の動作は同じである。つまり、同じ一般命令であれば指示命令に基づく動作を除いて全く同じ内部動作をするので、特に一般命令解釈装置16および一般命令実行装置17の回路構成を従来の命令解釈、実行装置と比較して極めて簡単にすることができる。

第4図はレジスタを指定する従来のロード命令「LD A, H」をこの発明に基づき、アセンブル時に一般命令と指示命令とに組合わされた形に直したものを示したものである。図示するように、従来のロード命令「LD A, H」は、データが記憶されているソース側であるHレジスタを指示する指示命令「src H」とこの指示命令で指示されたデータを操作する一般命令であるロード命令「LD A, src」とに組合わされた形に直される。またこのような一般命令と指示命令の組合せからなる命令による上記実施例装置の動作ステッ

は次のようになる。

① 命令ラッチレジスタ12にラッチされている「src H」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指示命令で指示されたHレジスタの内容がラッチ回路15にラッチされる。

② 命令ラッチレジスタ12にラッチされている「LD A, src」という一般命令を一般命令解釈装置16で解釈し、この解釈結果に応じて一般命令実行装置17で一般命令を実行する。これにより、上記ステップ①でラッチされたデータがアキュムレータAに格納される。

この場合にも一般命令がロード命令であるので、動作ステップ②の動作は第1図および第2図の命令の場合と全く同じである。

第5図はアキュムレータAの内容をIXレジスタの内容に2を加算したメモリの番地に転送する従来のロード命令「LD (IX+2), A」をこの発明に基づき、アセンブル時に一般命令と指

示命令とに組合わされた形に直したものを示したものである。図示するように、従来のロード命令は、データを転送すべきディストネーション側であるメモリの番地(IX+2)を指示する指示命令「dst (IX+2)」とこの指示命令で指示されたデータを操作する一般命令であるロード命令「LD dst, A」とに組合わされた形に直される。またこのような一般命令と指示命令の組合せからなる命令による上記実施例装置の動作ステップは次のようになる。

① 命令ラッチレジスタ12にラッチされている「dst (IX+2)」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指示命令で指示されたメモリの番地(IX+2)が図示しないテンポラリレジスタにラッチされる。

② 命令ラッチレジスタ12にラッチされている「LD dst, A」という一般命令を一般命令解釈装置16で解釈し、この解釈結果に応じて一般命令

実行装置17で一般命令を実行する。これにより、上記ステップ①で指定され、テンポラリレジスタにラッチされたメモリ番地がアドレスバスに出力され、かつデータバスにアキュムレータの内容が出力され、この状態で書込みサイクルが実行されて、IXレジスタの内容に2を加算したメモリの番地にアキュムレータAの内容が格納される。

この場合のように、この実施例装置ではデータのディストネーション側を指示命令で指示することも可能であり、さらにソース側およびディストネーション側を指示命令で指示することもできる。

第6図はデータのソース側およびディストネーション側を指示命令で指示する機械命令の例である。この命令はメモリ番地「nn」の内容をHレジスタの内容に加算して再びHレジスタに格納する従来の加算命令「ADD H, (nn)」をこの発明に基づき、アセンブル時に一般命令と指示命令とに組合わされた形に直したものを示したものである。図示するように、従来の加算命令は、加算すべき一方のデータが格納されているソース

側であるメモリの番地(nn)を指示する指示命令「src (nn)」、加算結果を格納すべきディストネーション側であるHレジスタを指示する指示命令「dst H」およびこれらの指示命令で指示されたデータを操作する一般命令である加算命令「ADD dst, src」とに組合わされた形に直される。またこのような一般命令と指示命令の組合せからなる命令による上記実施例装置の動作ステップは次のようになる。

① 命令ラッチレジスタ12にラッチされている「src (nn)」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指示命令で指示されたメモリの番地(nn)の内容が読み出され、ラッチ回路15内にラッチされる。

② 命令ラッチレジスタ12にラッチされている「dst H」という指示命令を指示命令解釈装置13で解釈し、この解釈結果に応じて指示命令実行装置14で指示命令を実行する。これにより、この指

示命令で指示されたHレジスタの内容が読み出され、ラッチ回路15内の領域にラッチされる。

② 命令ラッチレジスタ12にラッチされている「ADD dst, src」という一般命令を一般命令解読装置16で解読し、この解読結果に応じて一般命令実行装置17で一般命令を実行する。これにより、上記ステップ①でラッチされた二つの内容どうしが加算され、その加算結果がHレジスタに格納される。

なお、上記実施例では命令動作として転送命令、加算命令の場合について説明したが、これは他の演算命令、ローテイト・シフト命令、ジャンプ・コール命令、入出力命令等も同様に、一般命令で操作されるソース側、デスティネーション側のいずれか一方もしくは両方の指示を自由に行なうことができる。

〔発明の効果〕

以上説明したようにこの発明によれば、従来に比較して構成が簡単にできる機械命令実行装置を提供することができる。

4. 図面の簡単な説明

第1図および第2図はそれぞれこの発明の実施例装置で使用する命令を示す図、第3図はこの発明に係る機械命令実行装置の一実施例の構成を示すブロック図、第4図ないし第6図はそれぞれ上記実施例装置で使用する他の命令を示す図である。

11…データバス、12…命令ラッチレジスタ、13…指示命令解読装置、14…指示命令実行装置、15…ラッチ回路、16…一般命令解読装置、17…一般命令実行装置。

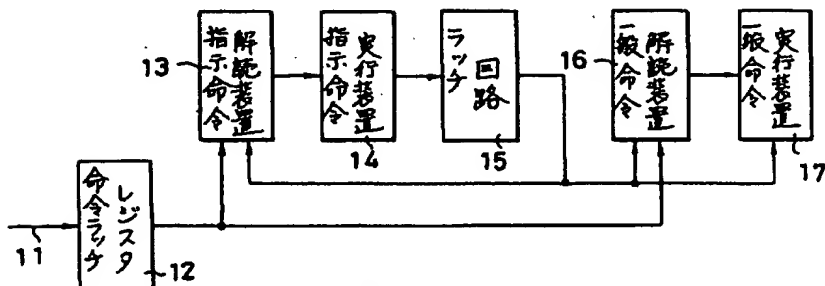
出願人代理人 弁理士 鈴江武彦

LD A, (R1) → src (R1)
LD A, src

第1図

LD A, (nn) → src (nn)
LD A, src

第2図



第3図

LD A, H → src H
LD A, src

第 4 図

LD (IX+2), A → dst (IX+2)
LD dst, A

第 5 図

ADD H, (nn) → src (nn)
dst H
ADD dst, src

第 6 図